Санкт-Петербургский политехнический университет Петра Великого

Институт компьютерных наук и технологий

Кафедра компьютерных систем и программных технологий

**Отчет по лабораторной работе №11\_2**

**Курс: «Проектирование реконфигурируемых гибридных**

**вычислительных систем»**

**Тема: « Задержка (Latency) »**

Выполнил студент гр. 3540901/81501 Селиверстов С.А.

(подпись)

Руководитель Антонов А.П.

(подпись)

“\_\_\_” \_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_2019 г.

Санкт – Петербург

2019

ОГЛАВЛЕНИЕ

[1. Задание 3](#_Toc27923295)

[2. Исходный код 7](#_Toc27923296)

[3. Моделирование 9](#_Toc27923297)

[4. Исследование 10](#_Toc27923298)

[4.1. Решение 1а 10](#_Toc27923299)

[4.1.2.Синтез решения 1а 10](#_Toc27923300)

[4.1.3. C/RTL моделирование 12](#_Toc27923301)

[4.2. Решение 2а 12](#_Toc27923302)

[4.2.2.Синтез решения 2а 13](#_Toc27923303)

[4.3. Решение 3а 13](#_Toc27923304)

[4.3.2.Синтез решения 3а 13](#_Toc27923305)

[4.4. Решение 4а 14](#_Toc27923306)

[4.4.2.Синтез решения 4а 14](#_Toc27923307)

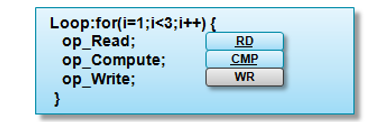
[4.5. Решение 5а 14](#_Toc27923308)

[4.5.2.Синтез решения 5а 14](#_Toc27923309)

[Вывод 15](#_Toc27923310)

# Задание

* Создать проект lab11\_2
* Микросхема: xa7a12tcsg325-1q
* Создать функцию по образцу (иерархия функций)



Op\_read: t\_in=d\_in[i]

Op\_compute: t\_r=t\_in\*t\_in;

Op\_write: d\_out[i]=t\_r;

* Создать тест lab11\_2\_test.c для проверки функции. Осуществить моделирование (с выводом результатов в консоль)
* Исследование:
* Solution\_1а
  + задать: clock period 10; clock\_uncertainty 0.1
  + установить реализацию ПО УМОЛЧАНИЮ
  + осуществить синтез для:
    - привести в отчете:
      * performance estimates=>summary (timing, latency)
      * utilization estimates=>summary
      * performance Profile
      * Resource profile
      * scheduler viewer (выполнить Zoom to Fit)
        + На скриншоте показать Latency
        + На скриншоте показать Initiation Interval
      * resource viewer (выполнить Zoom to Fit)
        + На скриншоте показать Latency
        + На скриншоте показать Initiation Interval
  + Выполнить cosimulation и привести временную диаграмму
* Solution\_2а
  + задать: clock period 10; clock\_uncertainty 0.1
  + установить реализацию LATENCY для одной итерации

Loop\_A: for (i=0; i<N; i++)

{

#pragma HLS latency

..Loop Body...

}

* + осуществить синтез
    - привести в отчете:
      * performance estimates=>summary (timing, latency)
      * utilization estimates=>summary
      * performance Profile
      * Resource profile
      * scheduler viewer (выполнить Zoom to Fit)
        + На скриншоте показать Latency
        + На скриншоте показать Initiation Interval
      * resource viewer (выполнить Zoom to Fit)
        + На скриншоте показать Latency
        + На скриншоте показать Initiation Interval
  + Выполнить cosimulation и привести временную диаграмму
* Сравнить два решения (solution\_1a и solution\_2a) и сделать выводы: зависимость от LATENCY ; объяснить (посчитать) число циклов Latency, II…
* Solution\_3а
  + задать: clock period 10; clock\_uncertainty 0.1
  + установить реализацию LATENCY для всего цикла

#pragma HLS latency

Loop\_A: for (i=0; i<N; i++)

{

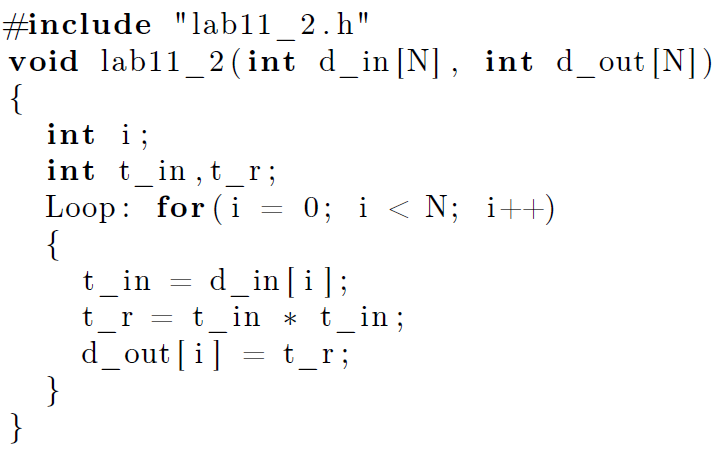
..Loop Body...

}

* + осуществить синтез
    - привести в отчете:
      * performance estimates=>summary (timing, latency)
      * utilization estimates=>summary
      * performance Profile
      * Resource profile
      * scheduler viewer (выполнить Zoom to Fit)
        + На скриншоте показать Latency
        + На скриншоте показать Initiation Interval
      * resource viewer (выполнить Zoom to Fit)
        + На скриншоте показать Latency
        + На скриншоте показать Initiation Interval
  + Выполнить cosimulation и привести временную диаграмму
* Сравнить два решения (solution\_2a и solution\_3a) и сделать выводы: зависимость от LATENCY ; объяснить (посчитать) число циклов Latency, II…
* Solution\_4а
  + задать: clock period 10; clock\_uncertainty 0.1
  + установить реализацию LATENCY с опцией min=5
  + осуществить синтез
    - привести в отчете:
      * performance estimates=>summary (timing, latency)
      * utilization estimates=>summary
      * performance Profile
      * Resource profile
      * scheduler viewer (выполнить Zoom to Fit)
        + На скриншоте показать Latency
        + На скриншоте показать Initiation Interval
      * resource viewer (выполнить Zoom to Fit)
        + На скриншоте показать Latency
        + На скриншоте показать Initiation Interval
  + Выполнить cosimulation и привести временную диаграмму
* Сравнить два решения (solution\_3a и solution\_4a) и сделать выводы: зависимость от LATENCY; объяснить (посчитать) число циклов Latency, II
* Solution\_5а
  + задать: clock period 10; clock\_uncertainty 0.1
  + установить реализацию LATENCY с опцией max=8
  + осуществить синтез
    - привести в отчете:
      * performance estimates=>summary (timing, latency)
      * utilization estimates=>summary
      * performance Profile
      * Resource profile
      * scheduler viewer (выполнить Zoom to Fit)
        + На скриншоте показать Latency
        + На скриншоте показать Initiation Interval
      * resource viewer (выполнить Zoom to Fit)
        + На скриншоте показать Latency
        + На скриншоте показать Initiation Interval
  + Выполнить cosimulation и привести временную диаграмму
* Сравнить два решения (solution\_3a и solution\_5a) и сделать выводы: зависимость от LATENCY; объяснить (посчитать) число циклов Latency, II

# Исходный код

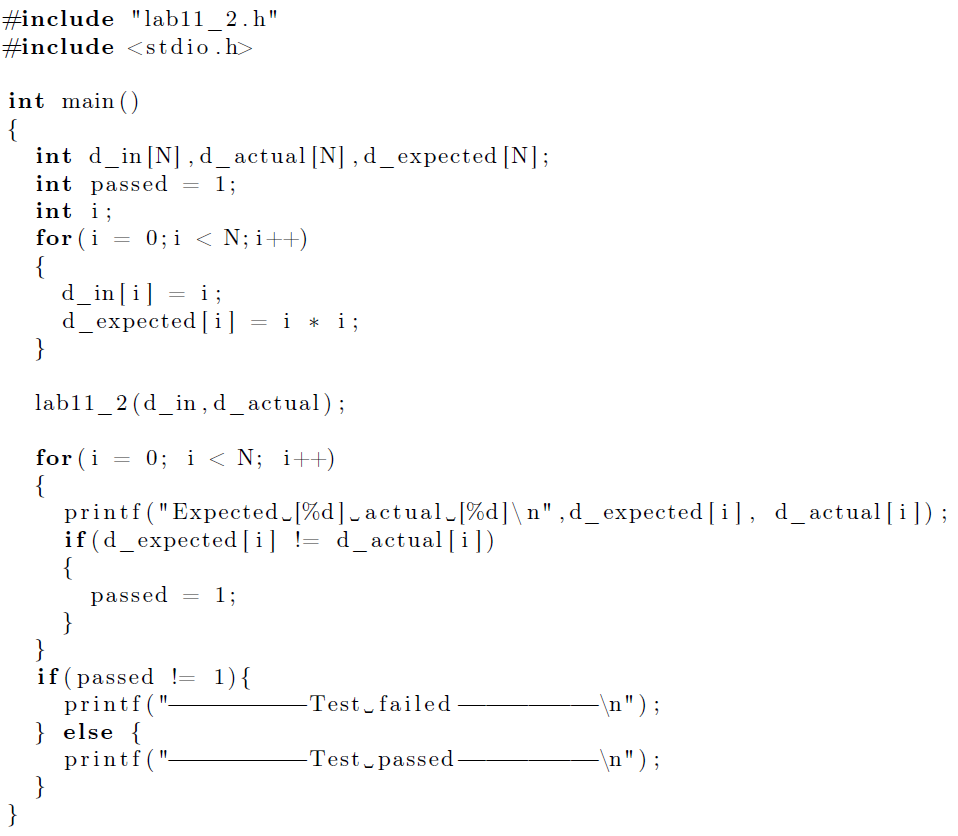
Зададим следующий код устройства:



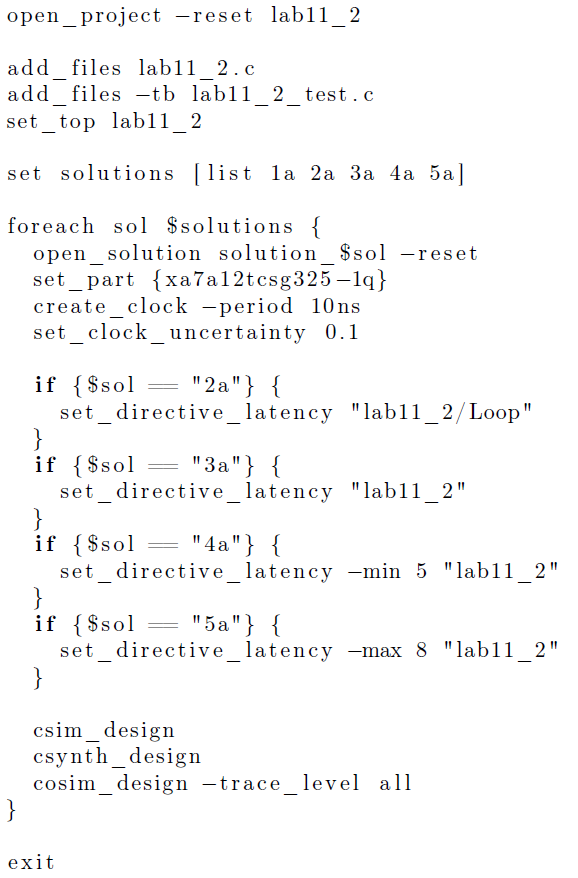
Заголовочный файл определим как:



Код теста для проверки функции имеет вид:

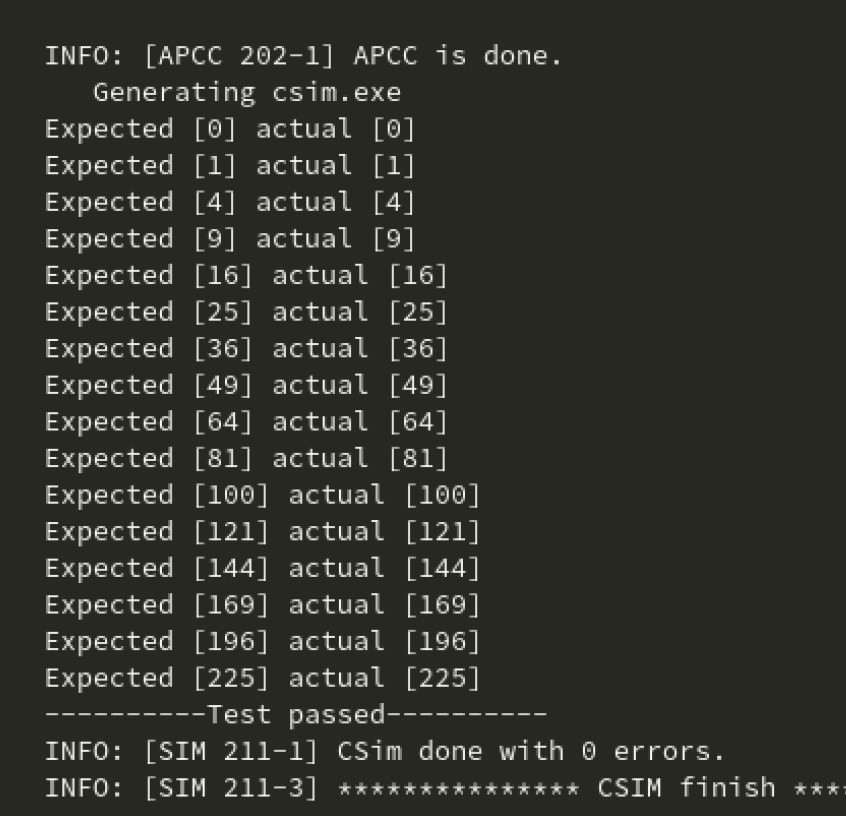


Скрипт для запуска программы с консоли имеет вид:



# Моделирование

Результаты моделирования, подтверждающие корректность работы устройства, имеют вид:



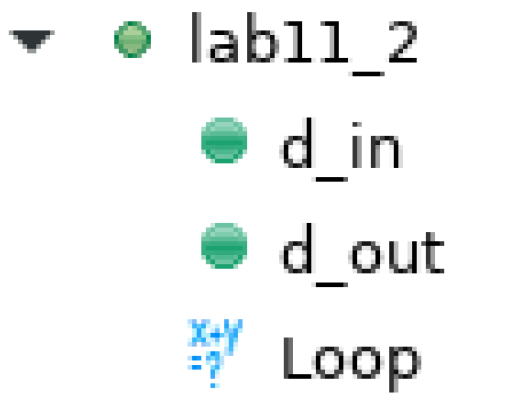
# Исследование

# Решение 1а

В соответствие с планом лабораторной работы устанавливаем:

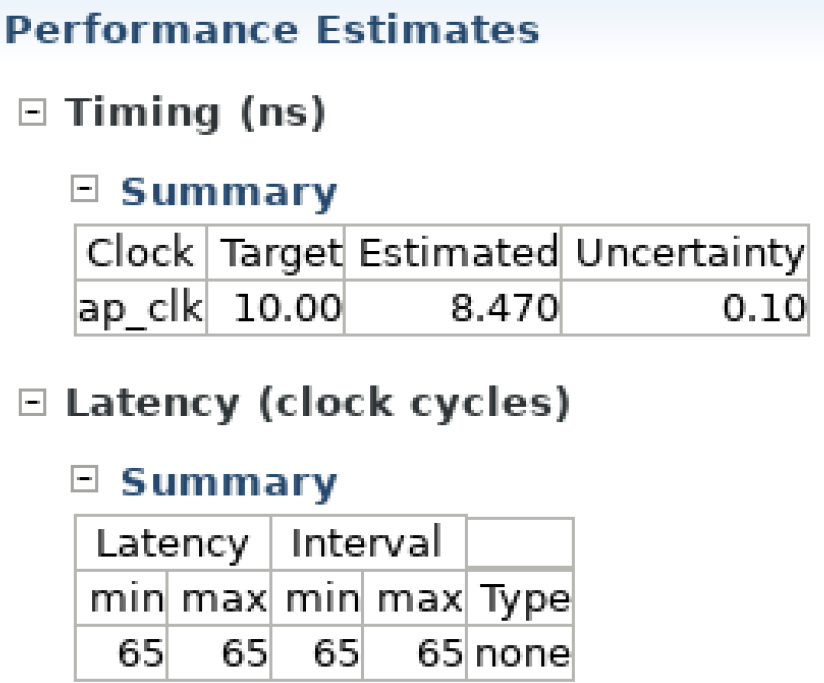
* clock period = 10;
* clock uncertainty = 0.1;
* реализация ПО УМОЛЧАНИЮ

Директивы данного решения имеют вид:



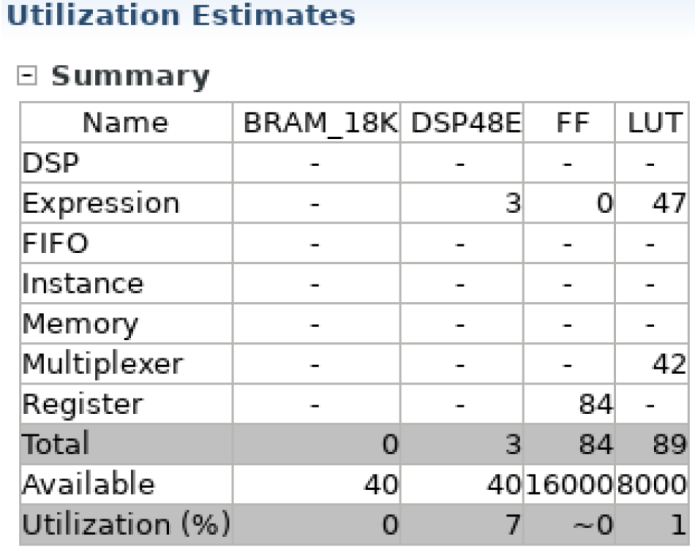
# 4.1.2.Синтез решения 1а

Результаты оценки производительности имеют вид:

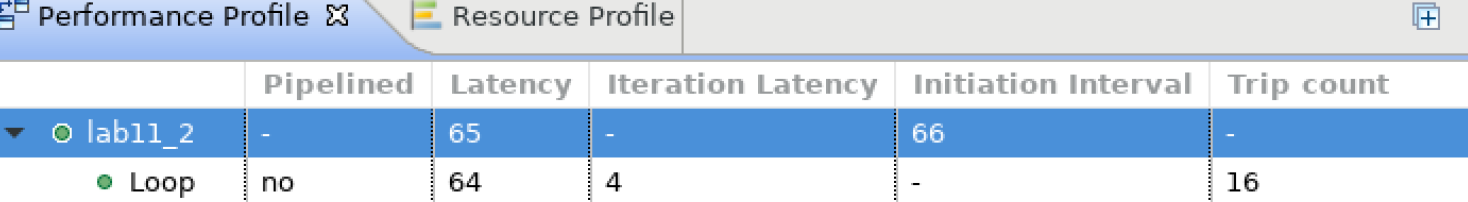


По данным результатам синтеза можно сделать вывод, что оценка производительности видно устройства соответствует заданным критериям.

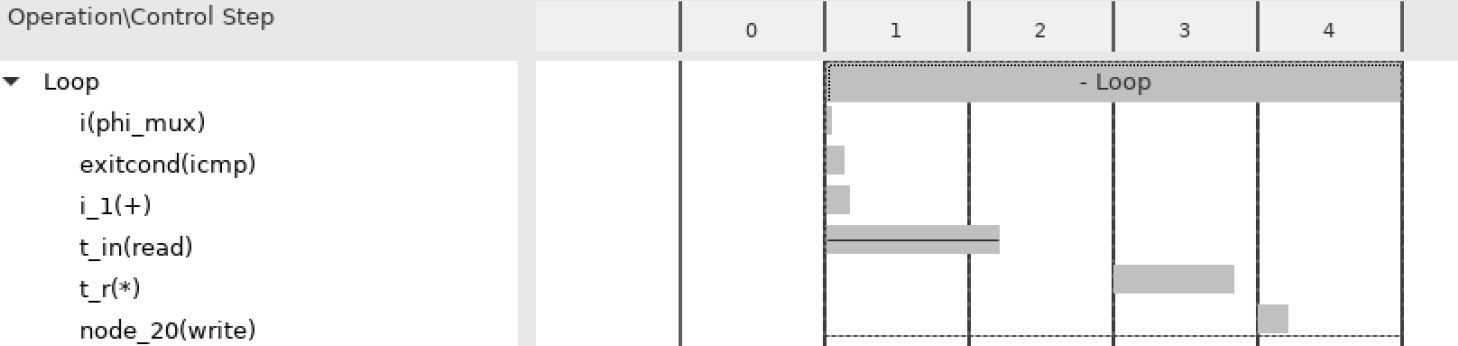
Оценка использования имеет вид:



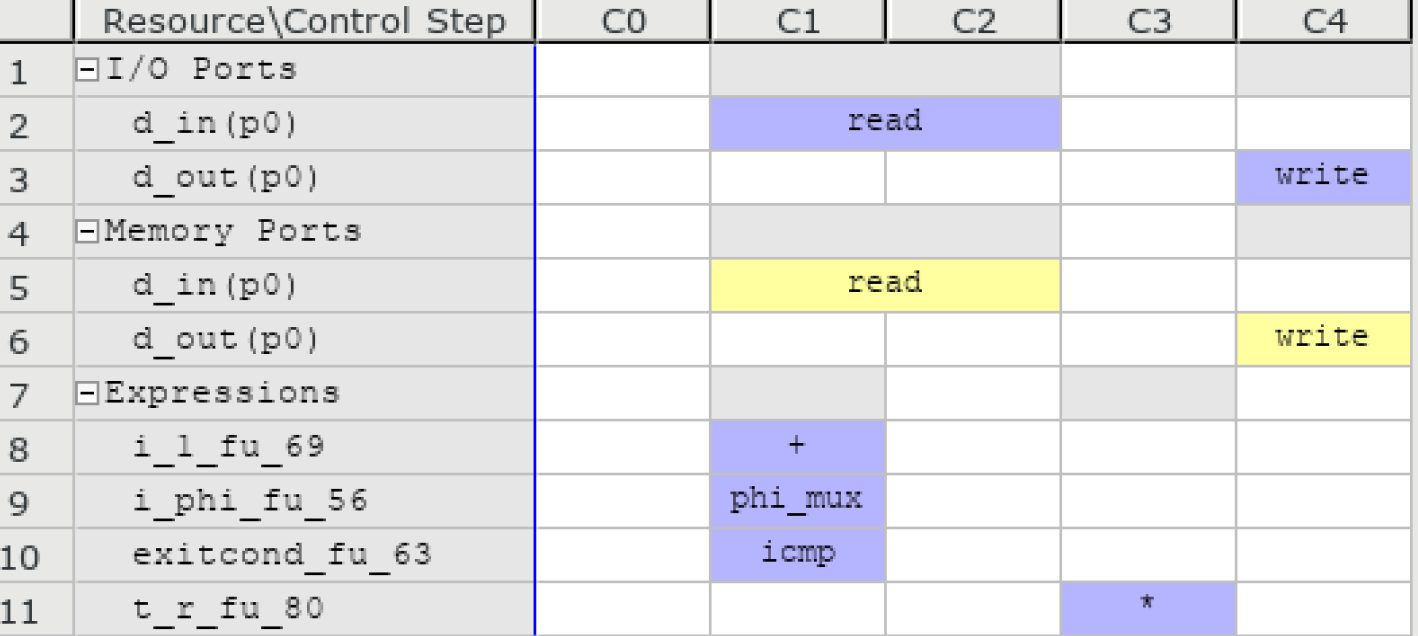
Профиль производительности имеет вид:



Данные планировщика просмотра имеет вид:

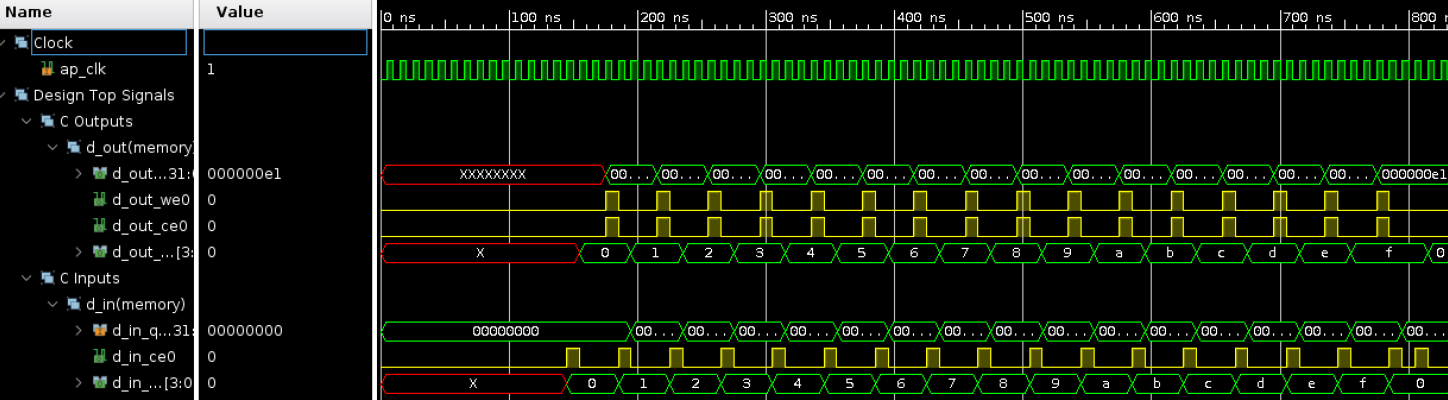


Данные обзора ресурсов имеет вид:



# 4.1.3. C/RTL моделирование

Временная диаграмма результатов C/RTL моделирования имеет вид:



По результатам временной диаграммы можно сделать вывод, что выполнение одного цикла требует 4 такта (16 итераций цикла) и плюс 1 такт для инициализации, таким образом, *Latency = 4\*16 + 1 = 65, II = 66 тактов.*

# Решение 2а

В соответствие с планом лабораторной работы устанавливаем:

* + - clock period 10;
    - clock\_uncertainty 0.1
    - установить реализацию LATENCY для одной итерации

Loop\_A: for (i=0; i<N; i++)

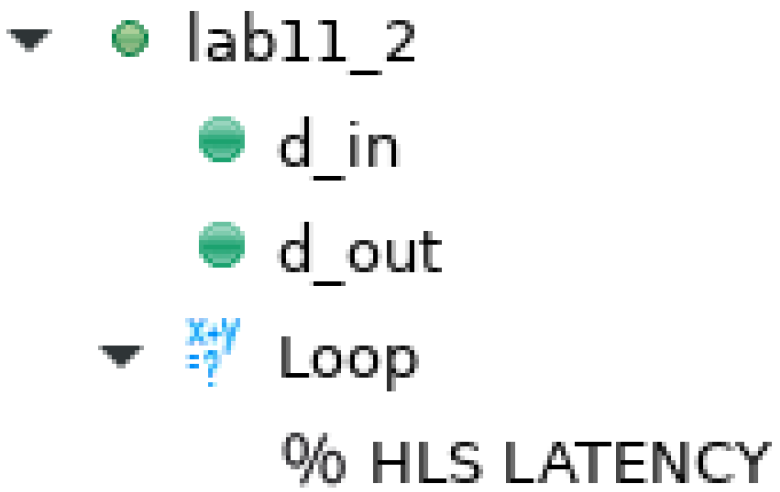
{

#pragma HLS latency

..Loop Body...

* + - * + }

Директивы данного решения имеют вид:



# 4.2.2.Синтез решения 2а

Результаты синтеза идентичны Решению 1а

# Решение 3а

В соответствие с планом лабораторной работы устанавливаем:

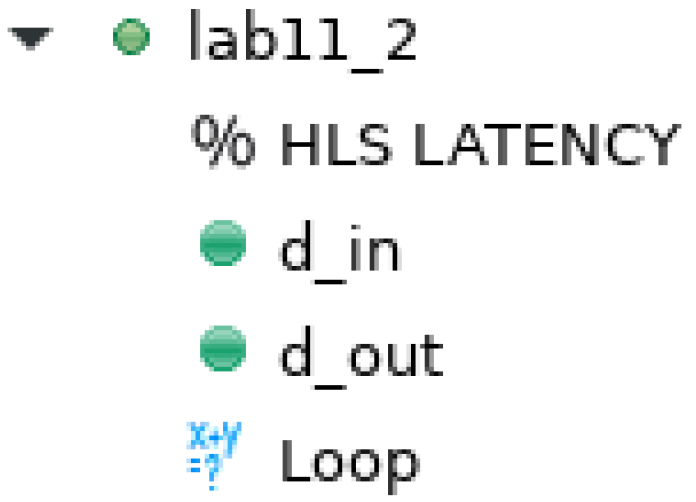
* + clock period 10;
  + clock uncertainty 0.1
  + установить реализацию LATENCY для всего цикла
    - * + #pragma HLS latency
        + Loop\_A: for (i=0; i<N; i++)

{

..Loop Body...

* + - * + }

Директивы данного решения имеют вид:



# 4.3.2.Синтез решения 3а

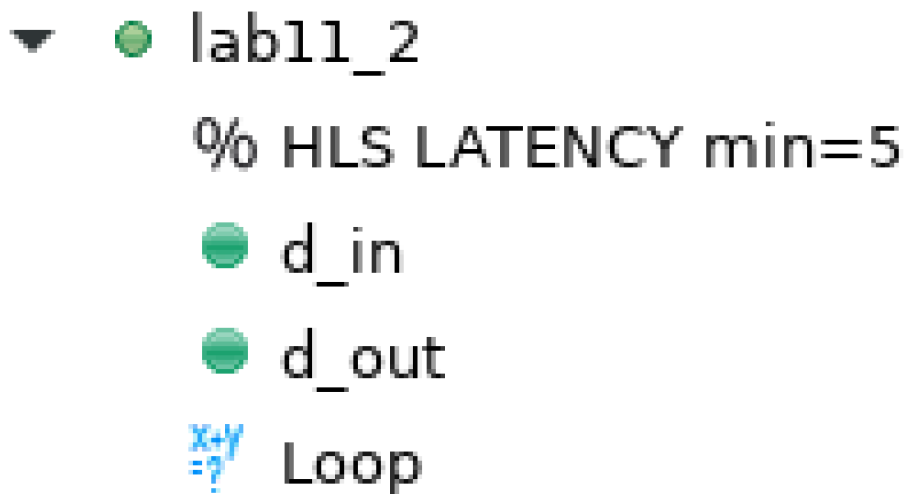
Результаты синтеза идентичны Решению 1а

# Решение 4а

В соответствие с планом лабораторной работы устанавливаем:

* + clock period 10;
  + clock\_uncertainty 0.1
  + реализацию LATENCY с опцией min=5

Директивы данного решения имеют вид:



# 4.4.2.Синтез решения 4а

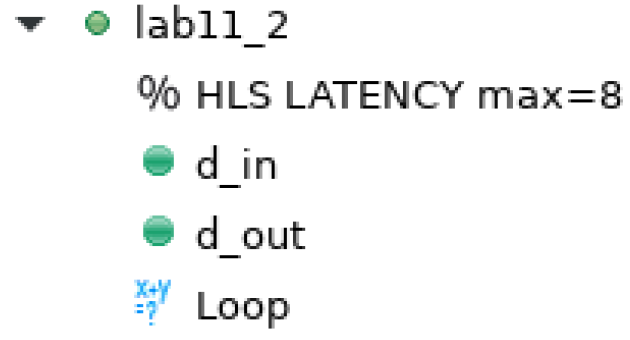
Результаты синтеза идентичны Решению 1а

# Решение 5а

В соответствие с планом лабораторной работы устанавливаем:

* + clock period 10;
  + clock uncertainty 0.1
  + реализацию LATENCY с опцией max=8

Директивы данного решения имеют вид:



# 4.5.2.Синтез решения 5а

Результаты синтеза идентичны Решению 1а

# Вывод

При проведении исследований для данной функции никаких отличий при применении директивы LATENCY выявлено не было.